

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-202146

(43)Date of publication of application : 04.08.1995

(51)Int.Cl.

H01L 27/118  
H01L 21/8238  
H01L 27/092

(21)Application number : 05-351532

(71)Applicant : NEC CORP

(22)Date of filing : 29.12.1993

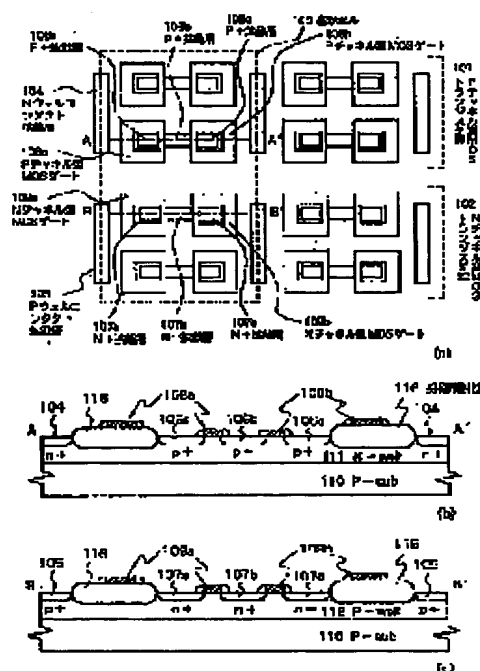
(72)Inventor : KUMAGAI KOICHI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

## (57)Abstract:

PURPOSE: To provide a semiconductor integrated circuit which can be restrained from deteriorating in circuit operation speed due to an increase in gate resistance due to micronization.

CONSTITUTION: A basic cell 103 is composed of P-channel MOS transistors 101 and N-channel MOS transistors 102. All MOS transistors comprised in the basic cell 103 are set to  $5\mu\text{m}$  or below in gate width, gate electrodes 108a, 108b, 109a and 109b are so provided as to surround source or drain diffusion layer regions 106a, 106c, 107a and 107c and to form an electrically closed loop.



## LEGAL STATUS

[Date of request for examination]

14.03.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2720783

[Date of registration]

21.11.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-202146

(43)公開日 平成7年(1995)8月4日

(51) Int.Cl.<sup>8</sup>

識別記号

庁内整理番号

FI

### 技術表示箇所

H01L 27/118

21/8238

27/092

8832-4M

9170-4M

H0 1 L 21/ 82

27/ 08

M

**3 2 1 J**

審査請求 有 請求項の数 3 FD (全 10 頁)

(21)出願番号

特願平5-351532

(22) 出願日

平成5年(1993)12月29日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 熊谷 浩一

東京都港区芝五丁目7番1号 日本電気株式会社内

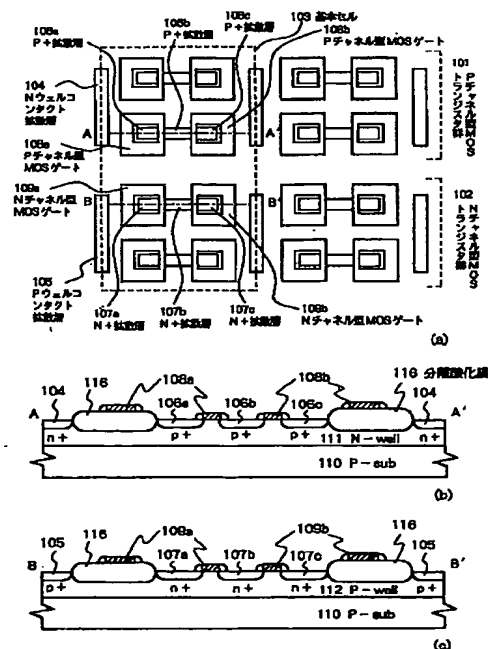
(74)代理人 弁理士 後藤 洋介 (外2名)

(54)【発明の名称】 半導体集積回路

(57) 【要約】

【目的】 微細化に伴うゲート抵抗増加が招く回路動作速度の劣化を抑えることのできる半導体集積回路を提供することにある。

【構成】 Pチャネル型MOSトランジスタ群101、及びNチャネル型MOSトランジスタ群102から構成された基本セル103において、該基本セル103を構成する全てのMOSトランジスタのゲート幅を5 $\mu$ m以下とし、そのゲート電極108a、108b、109a、109bを、該MOSトランジスタのソースまたはドレイン拡散層領域106a、106c、107a、107cの周囲を囲む形状とし、かつ電氣的に閉ループを形成するようにした。



## 【特許請求の範囲】

【請求項1】 Pチャネル型MOSトランジスタ群、及びNチャネル型MOSトランジスタ群から構成されたCMOSトランジスタ群を含む複数の基本セルを有するゲートアレイまたはスタンダードセル方式の半導体集積回路において、該基本セルを構成する全てのMOSトランジスタのゲート幅が $5\mu\text{m}$ 以下であり、そのゲート電極が、該MOSトランジスタのソースまたはドレイン拡散層領域の周囲を囲む形状であり、かつ電氣的に閉ループを形成するようにしたことを特徴とする半導体集積回路。

【請求項2】 前記基本セルを構成する全てのPチャネル型MOSトランジスタのゲート電極がP型ポリシリコンで形成され、かつ該基本セルを構成するNチャネルトランジスタのゲート電極がN型ポリシリコンで形成されることを特徴とする請求項1記載の半導体集積回路。

【請求項3】 前記基本セルはSOI基板上に形成されることを特徴とする請求項1及び請求項2いずれかに記載の半導体集積回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体集積回路に関し、特にCMOSのゲートアレイまたはスタンダードセル方式の半導体集積回路に関する。

【0002】

【従来の技術】近年のCMOS論理LSIにおいては、主にMOSトランジスタのゲート長(L)の縮小によりトランジスタの駆動能力向上が図られ、LSIチップとして高速化及び素子の高集積化を実現している。一方、ゲート長の縮小によりゲート抵抗が増加し、回路動作速度が劣化するのを抑えるため、ゲートシリサイドやサリサイド等、ゲート電極の低抵抗化を目的としたプロセスが製造上必須となっている。

【0003】ゲート長が $0.5\mu\text{m}\sim 0.35\mu\text{m}$ の、ポリシリコンゲートを用いたCMOS-LSIにおいては、W(タングステン)ポリサイド、Ti(チタン)またはCo(コバルト)シリサイドが実用化されている。しかしながら、今後実用化が予定されている $0.25\mu\text{m}$ 以下のゲート長のMOSトランジスタに関しては、前述のWポリサイド、TiまたはCoシリサイドプロセスによるゲート電極の低抵抗化技術がまだ確立されていない。

【0004】現在、SOG(Sea-Of-Gates:シーオブゲート)やスタンダードセル方式LSI等で代表される、CMOSの特定用途向けLSI(ASIC:Application Specific IC:アプリケーション・スペシフィック・IC)の内部基本セルとしては、一般的に図7に示す特開昭59-150446号公報に開示されるセルレイアウトを基本としたものが採用されている。

【0005】図7において、701はPチャネル型MO

Sトランジスタ群、702はNチャネル型MOSトランジスタ群、704はNウェルコンタクト拡散層、705はPウェルコンタクト拡散層、706a、706b、706cはP+拡散層、707a、707b、707cはN+拡散層、708a、708bはPチャネル型MOSゲート、709a、709bはNチャネル型MOSゲートを示している。

【0006】すなわち、図7の基本セルは、2個ずつソースまたはドレイン領域を共有する形で直列接続された4個のPチャネル型MOSトランジスタ群701と、同様に2個ずつ直列接続された4個のNチャネル型MOSトランジスタ群702で構成されている。このように、基本セルのトランジスタが、ソースまたはドレイン領域を共有する形で2個直列接続された構成でレイアウトされるのは、2入力 NAND または NOR ゲートが効率よく構成可能なためである。

【0007】基本セルのトランジスタのゲート幅(W)は、通常ランダムロジックの標準負荷に対して最適となるように決定される。ランダムロジックの標準負荷とは、例えばファンアウト数2、アルミ配線負荷 $2\text{mm}$ という値であり、容量換算で約 $0.5\text{pF}$ である。このため、現在実用化されている基本セルのゲート幅(W)は、一般に $10\mu\text{m}\sim 20\mu\text{m}$ となっている。

【0008】図8(a)は図7の基本セル上に2入力NAND回路をレイアウトしたものであり、図8(b)は図8(a)のレイアウトの等価回路図である。

【0009】図8(b)、(b)において、804はNウェルコンタクト拡散層、805はPウェルコンタクト拡散層、806a、806b、806cはP+拡散層、807a、807b、807cはN+拡散層、808a、808bはPチャネル型MOSゲート、809a、809bはNチャネル型MOSゲート、810は電源配線、811は接地配線、812は第1入力端子配線、813は第2入力端子配線、814は出力端子配線、815はコンタクトを示している。

【0010】図8(a)において、電源電位は電源配線810からコンタクト815を通じてNウェルコンタクト拡散層804、P+拡散層806a、806cに与えられ、接地電位は接地配線811からコンタクト815を通じてPウェルコンタクト拡散層805とN+拡散層807aに与えられる。

【0011】Pチャネル型MOSゲート808aとNチャネル型MOSゲート809aは第2入力端子配線813で接続され、Pチャネル型MOSゲート808bとNチャネル型MOSゲート809bは第1入力端子配線812で接続され、P+拡散層806bとN+拡散層807cは出力端子配線814で接続されている。

【0012】いま、仮に基本セルのトランジスタとしてゲート長(L) $0.25\mu\text{m}$ 、ゲート幅(W) $10\mu\text{m}$ 、ゲート酸化膜厚( $t_{\text{ox}}$ ) $7\text{nm}$ のものを考える。ゲ

ート長(L) 0.25  $\mu\text{m}$  ルールトランジスタにおいて、Pチャネル型MOSトランジスタを表面チャネル型にすることを前提にすれば、図8(a)のPチャネル型MOSゲート808a、808bはP型ポリシリコン、Nチャネル型MOSゲート809a、809bはN型ポリシリコンで形成される。

【0013】このようにPチャネル型MOSゲートをP型ポリシリコン、Nチャネル型MOSゲートをN型ポリシリコンとする構造は、通常、PNゲート構造またはデュアルゲート構造と呼ばれる。したがって、P型およびN型ポリシリコンのシート抵抗( $\rho_s$ )をそれぞれ300  $\Omega/\square$ 、100  $\Omega/\square$ としてゲート抵抗( $R_g$ )を計算すると、次のようになる。

【0014】

・Pチャネル型MOSゲート :  $R_{gp} = 12 \text{ k}\Omega$

・Nチャネル型MOSゲート :  $R_{gn} = 4 \text{ k}\Omega$

一方、ゲート酸化膜を介したゲート容量( $C_g$ )は  $C_g = 12.3 \text{ fF}$

となるから、ゲート自身の時定数( $\tau_g$ )は次のようになる。

【0015】・Pチャネル型MOSゲート :  $\tau_{gp} = R_{gp} \cdot C_g = 148 \text{ ps}$

・Nチャネル型MOSゲート :  $\tau_{gn} = R_{gn} \cdot C_g = 49.2 \text{ ps}$

ゲート長0.25  $\mu\text{m}$ のCMOSデバイスでは、ゲート抵抗を無視した場合のインバータ回路の伝搬遅延時間( $t_{pd}$ )が約60 psとなることが予想されるのに対し、上記のゲートの時定数を考慮した場合の伝搬遅延時間( $t_{pd}$ )は約120 psとなることが予想される。このようにゲート長0.25  $\mu\text{m}$ 以下のPNゲート構造CMOSデバイスにおいては、ゲート抵抗が伝搬遅延時間( $t_{pd}$ )に及ぼす影響が無視できなくなる。

【0016】換言すれば、従来の基本セルレイアウトでゲート長0.25  $\mu\text{m}$ 以下のPNゲート構造CMOSデバイスを製造し、特性の向上を図ろうとすると、ゲート抵抗の低抵抗化を目的としたゲートシリサイドやサリサイド等のプロセスが必須となる。しかしながら、前述のようにゲート長0.25  $\mu\text{m}$ 以下のポリシリコンゲートを安定に歩留まり良く低抵抗化するシリサイド技術はまだ確立されていない。

【0017】このようにゲート抵抗を考慮すると、図8(b)で表される2入力NAND回路は、ゲートに等価ゲート抵抗816a~816dが付加された図8(c)に示すような等価回路で表現できる。

【0018】一方、レイアウト面からゲート抵抗を小さくする方法として、ゲート形状を改良することが考えられる。これまで基本セルのゲート形状に関する公知例としては、特開昭60-47441号公報に開示されている、図9に示すようなセルレイアウトがあげられるだけである。

【0019】図9において、901a、901bはPチャネル型MOSトランジスタ群、902a、902bはNチャネル型MOSトランジスタ、904a、904b、904cはNウェルコタクト拡散層、905a、905b、905cはPウェルコタクト拡散層、906a、906b、906c、906d、906e、906f、906gはP+拡散層、907a、907b、907c、907d、907e、907f、907gはN+拡散層、908a、908b、908c、908dはPチャネル型MOSゲート、909a、909b、909c、909dはNチャネル型MOSゲートを示している。

【0020】すなわち、図9の基本セルは、ソースまたはドレイン領域を共有する形で直列接続された2個のPチャネル型MOSトランジスタ901bとソースまたは拡散層領域の周囲に延在させたゲート電極を有する2個のPチャネル型MOSトランジスタ901a、そして同様に2個直列接続されたNチャネル型MOSトランジスタ902bとソースまたは拡散層領域の周囲に延在させたゲート電極を有する2個のNチャネル型MOSトランジスタ902aの、合計8個のMOSトランジスタで構成されている。

【0021】この公知例の特徴は、図9の908c、908d及び909c、909dのように、ゲート電極をソースまたはドレイン拡散層領域の周囲に延在させた形状とする点にある。しかし、これは機能ブロック、特にメモリセルを効率良くレイアウトするためのゲート電極形状の改良であり、本発明で着目しているゲート電極の低抵抗化を実現するものではない。

【0022】

【発明が解決しようとする課題】以上述べたように、従来の半導体集積回路の基本セル構成においては、セルを構成する各トランジスタのゲート幅が標準負荷を駆動することを基準として設定されているため、ゲート長が0.25  $\mu\text{m}$ 以下のCMOSデバイスで同様のセルレイアウトを使用するとゲート抵抗が増加し、回路動作速度が劣化するという問題点があった。

【0023】また、製造プロセスによりゲート抵抗を低下させるには、ゲートシリサイド及びサリサイド等、製造プロセスの増加を招くという問題点があった。

【0024】この発明は上記の課題を解決するためになされたもので、微細化に伴うゲート抵抗増加が招く回路動作速度の劣化を抑えることのできる半導体集積回路を提供することを目的とする。

【0025】

【課題を解決するための手段】上記目的を達成するために本発明は、Pチャネル型MOSトランジスタ群、及びNチャネル型MOSトランジスタ群から構成されたCMOSトランジスタ群を含む複数の基本セルを有するゲートアレイまたはスタンダードセル方式の半導体集積回路

において、該基本セルを構成する全てのMOSTランジスタのゲート幅が $5\mu\text{m}$ 以下であり、そのゲート電極が、該MOSTランジスタのソースまたはドレイン拡散層領域の周囲を囲む形状であり、かつ電氣的に閉ループを形成するようにしたことを特徴とする。

【0026】また、前記基本セルを構成する全てのPチャネル型MOSTランジスタのゲート電極がP型ポリシリコンで形成され、かつ該基本セルを構成するNチャネルトランジスタのゲート電極がN型ポリシリコンで形成されることを特徴とする。

【0027】さらに、前記基本セルはSOI基板上に形成されるようにしたことを特徴とする。

【0028】

【作用】上記構成による半導体集積回路では、基本セルを構成する全てのMOSTランジスタのゲート幅が $5\mu\text{m}$ 以下であり、そのゲート電極が、該MOSTランジスタのソースまたはドレイン拡散層領域の周囲を囲む形状であり、かつ電氣的に閉ループを形成することで、ゲートシリサイド及びバリサイドプロセス無しで、ゲート抵抗が回路の動作速度に及ぼす影響を抑える。

【0029】また、基本セルを構成する全てのPチャネル型MOSTランジスタのゲート電極をP型ポリシリコンで形成し、かつ該基本セルを構成するNチャネルトランジスタのゲート電極をN型ポリシリコンで形成することで、伝搬遅延時間に対するゲート抵抗の影響を小さく抑える。

【0030】さらに、基本セルをSOI基板上に形成することで、基本セルからNウェル及びPウェルコンタクト拡散層を無くし、ゲート容量の低減を図る。

【0031】

【実施例】以下、図面を参照して本発明の一実施例を詳細に説明する。

【0032】図1(a)は本発明の第1の実施例を示すLSIの内部基本セルレイアウト図であり、101はPチャネル型MOSTランジスタ群、102はNチャネル型MOSTランジスタ群、103は基本セル、104はNウェルコンタクト拡散層、105はPウェルコンタクト拡散層、106a、106b、106cはP+拡散層、107a、107b、107cはN+拡散層、108a、108bはPチャネル型MOSゲート、109a、109bはNチャネル型MOSゲートを示している。

【0033】すなわち、本実施例の基本セル103は、2個づつソースまたはドレイン拡散層領域を共有する形で直列接続された4個のPチャネル型MOSTランジスタ群101と、同様に2個づつソースまたはドレイン拡散層領域を共有する形で直列接続された4個のNチャネル型MOSTランジスタ群102から構成されている。

【0034】Pチャネル型MOSゲート108a、108bはゲート幅( $W_p$ )が $5\mu\text{m}$ 以下であり、P+拡散

層106a、106cを囲む形状である。Nチャネル型MOSゲート109a、109bも同様に、ゲート幅( $W_n$ )は $5\mu\text{m}$ 以下であり、かつN+拡散層107a、107cを囲む形状である。Pチャネル型MOSゲート108a、108b、Nチャネル型MOSゲート109a、109bは共に電氣的に閉ループを形成している。

【0035】図1(b)は図1(a)中A-A'におけるPチャネル型MOSTランジスタ部の断面図を、または図1(c)は図1(a)中B-B'におけるNチャネル型MOSTランジスタ部の断面図をそれぞれ示す。

【0036】図1(b)、(c)の断面図において、110はP型基板(P-sub)、111はNウェル層(N-well)、112はPウェル層(P-well)、116は分離酸化膜を示している。

【0037】すなわち、本実施例の基本セル103のPチャネル型MOSゲート108a、108bは、トランジスタ部分と分離酸化膜116上に形成されている。図1(c)の断面図においても、図1(b)と同様に、本実施例の基本セル103のNチャネル型MOSゲート109a、109bは、トランジスタ部分と分離酸化膜116上に形成されている。

【0038】本実施例ではゲート長(L)  $0.25\mu\text{m}$ の表面チャネル型PMOS及びNMOSを想定し、Pチャネル型MOSゲート108a、108bはP型ポリシリコン、Nチャネル型MOSゲート109a、109bはN型ポリシリコンでそれぞれ形成されている。

【0039】図2(a)は図1の基本セルアレイ・レイアウトに2入力NANDの配線パターンをレイアウトしたものであり、図2(b)はその2入力NANDの等価回路図である。

【0040】図2(a)、(b)において、201はPチャネル型MOSTランジスタ群、202はNチャネル型MOSTランジスタ群、203は基本セル、204はNウェルコンタクト拡散層、205はPウェルコンタクト拡散層、206a、206b、206cはP+拡散層、207a、207b、207cはN+拡散層、208a、208bはPチャネル型MOSゲート、209a、209bはNチャネル型MOSゲート、210は電源配線、211は接地配線、212は第1入力端子配線、213は第2入力端子配線、214は出力端子配線、215はコンタクトを示している。

【0041】このレイアウト例においては、電源電位は電源配線210からコンタクト215を通じてNウェルコンタクト拡散層204、P+拡散層206a、206cに与えられ、接地電位は接地配線211からコンタクト215を通じてPウェルコンタクト拡散層205とN+拡散層207aに与えられる。

【0042】Pチャネル型MOSゲート208aとNチャネル型MOSゲート209aは第2入力端子配線21

3で接続され、Pチャネル型MOSゲート208bとNチャネル型MOSゲート209bは第1入力端子配線212で接続され、P+拡散層206bとN+拡散層207cは出力端子配線214で接続されている。

【0043】この実施例におけるゲート抵抗及び容量を図5を用いて解析する。

【0044】図5(a)は本実施例におけるPチャネル型MOSゲート108bの部分拡大図であり、図5(b)はこのゲート抵抗の等価回路図、図5(c)は図5(a)中E-E'における断面図である。

【0045】図5(a)、(b)、(c)において、506a、506bはP+拡散層、508はPチャネル型MOSゲート、510はP型基板(P-sub)、511はNウェル層(N-well)、512はゲート長(L)、513はゲート幅(W)、515はコンタク

＊ゲートコンタクト部幅517a、517b、517c

ゲート電極長518a、518c

ゲート電極長518b

ゲート電極長518d

一例として、ゲート幅(W)513を5 $\mu$ mとして、図5(b)におけるチャネル部ゲート抵抗(R<sub>q1</sub>)519及びゲートコンタクト部抵抗(R<sub>q2</sub>)520を求める ※

チャネル部ゲート抵抗519

ゲートコンタクト部抵抗520

また、図5(c)におけるチャネル部ゲート容量(C<sub>q1</sub>)521及びゲートコンタクト部容量(C<sub>q2</sub>)522を、分離酸化膜516の厚さ5000Åとして求める ★

チャネル部ゲート容量521

ゲートコンタクト部容量522

以上のデータからPチャネル型MOSゲートのもつ時定数( $\tau_{qp}$ )は、

$\tau_{qp} = 16.8 \text{ ps}$

となり、Nチャネル型MOSゲートと合わせた時定数( $\tau_q$ )は、

$\tau_q = 22.4 \text{ ps}$

となる。このように、本発明の基本セル構造によれば、伝搬遅延時間( $t_{pd}$ )に対するゲート抵抗の影響を小さく抑えることができる。

【0050】図6は、図5(a)、(b)、(c)の構造でのゲートの時定数 $\tau_q$ (ps)のゲート幅W( $\mu$ m)に対する依存性を、従来構造の場合(601)と本発明の第1の実施例の構造の場合(602)を比較して示したものである。この図のように、本発明の基本セル構造は、ゲート長(L)0.25 $\mu$ mのデバイスにおいて、ポリシリゲートにシリサイドプロセス無しでもゲートの時定数を十分小さく抑えることができる。

【0051】図3(a)は本発明の第2の実施例を示すLSIの内部基本セルレイアウト図であり、本発明をS

＊ト、516は分離酸化膜、517a、517b、517cはゲートコンタクト部幅(W<sub>a</sub>, W<sub>b</sub>, W<sub>c</sub>)、518a、518b、518c、518dはゲート電極長(L<sub>a</sub>, L<sub>b</sub>, L<sub>c</sub>, L<sub>d</sub>)、519はチャネル部ゲート抵抗(R<sub>q1</sub>)、520はゲートコンタクト部抵抗(R<sub>q2</sub>)、521はチャネル部ゲート容量(C<sub>q1</sub>)、522はゲートコンタクト部容量(C<sub>q2</sub>)を示している。

【0046】いま、図5(a)のコンタクト515から信号の電位が与えられ、ゲート長(L)512を0.25 $\mu$ mとして、ゲートコンタクト部幅517a~517c、ゲート電極長518a~518dを、それぞれゲート幅(W)513をパラメータとして次のように仮定する。

【0047】

W<sub>a</sub> = W<sub>b</sub> = W<sub>c</sub> = 2 $\mu$ m

L<sub>a</sub> = L<sub>c</sub> = 4 $\mu$ m

L<sub>b</sub> = W + 0.5 $\mu$ m

L<sub>d</sub> = W + 2.5 $\mu$ m

※と、次のようになる。

【0048】

R<sub>q1</sub> = 2.6 k $\Omega$

R<sub>q2</sub> = 6.9 k $\Omega$

★と、次のようになる。

【0049】

C<sub>q1</sub> = 3.1 fF

C<sub>q2</sub> = 1.4 fF

バレーション・バイ・インプランテーション・オブ・オキシジェン)基板等のSOI(Si on Insulator: Si・オン・インシュレータ)基板上に適用したものである。

【0052】図3(a)において、301はPチャネル型MOSトランジスタ群、302はNチャネル型MOSトランジスタ群、303は基本セル、306a、306b、306cはP+拡散層、307a、307b、307cはN+拡散層、308a、308bはPチャネル型MOSゲート、309a、309bはNチャネル型MOSゲートを示している。

【0053】すなわち、本実施例の基本セル303は、第1の実施例と同様、2個ずつソースまたはドレイン拡散層領域を共有する形で直列接続された4個のPチャネル型MOSトランジスタ群301と、同様に2個ずつソースまたはドレイン拡散層領域を共有する形で直列接続された4個のNチャネル型MOSトランジスタ群302から構成されている。

【0054】Pチャネル型MOSゲート308a、308bはゲート幅(W<sub>p</sub>)が5 $\mu$ m以下であり、P+拡散

層 306a, 306c を囲む形状である。Pチャネル型 MOSゲート 308a, 308b, Nチャネル型 MOSゲート 309a, 309b は共に電氣的に閉ループを形成している。

【0055】図 1 に示す第 1 の実施例と異なり、本実施例では Nウェルコンタクト拡散層と Pウェルコンタクト拡散層を基本セル中から無くしたことを特徴とする。この構造によれば、素子のより高集積化が可能である。

【0056】図 3 (b) は図 3 (a) 中 C-C' における Pチャネル型 MOS トランジスタ部の断面図を、また図 3 (c) は図 3 (a) 中 D-D' における Nチャネル型 MOS トランジスタ部の断面図をそれぞれ示す。尚、図 3 (b), (c) において、310 は P 型基板 (P-sub), 311 は N<sup>-</sup> 層、312 は P<sup>-</sup> 層、316 は分離酸化膜、317 は埋込み酸化膜を示している。

【0057】図 3 (b) の断面図において、本実施例の基本セル 303 の Pチャネル型 MOSゲート 308a, 308b は、トランジスタ部分と分離酸化膜 316 上に形成されている。図 3 (c) の断面図においても同様に、本実施例の基本セル 303 の Nチャネル型 MOSゲート 309a, 309b は、トランジスタ部分と分離酸化膜 316 上に形成されている。

【0058】また、本実施例においても第 1 の実施例と同様に、ゲート長 (L) 0.25 μm の表面チャネル型 PMOS 及び NMOS を想定し、Pチャネル型 MOSゲート 308a, 308b は P 型ポリシリコン、Nチャネル型 MOSゲート 309a, 309b は N 型ポリシリコンで形成されている。

【0059】図 3 (b) 及び (c) で第 1 の実施例の断面図の図 1 (b), (c) と異なるのは、本実施例では P 型基板 (P-sub) 310 上に埋込み酸化膜 317 が存在している点である。

【0060】図 4 (a) は図 3 の基本セルアレイ・レイアウトに 2 入力 NAND の配線パターンをレイアウトしたものであり、図 4 (b) はその 2 入力 NAND の等価回路図である。

【0061】図 4 (a), (b) において、401 は Pチャネル型 MOS トランジスタ群、402 は Nチャネル型 MOS トランジスタ群、403 は基本セル、406a, 406b, 406c は P+ 拡散層、407a, 407b, 407c は N+ 拡散層、408a, 408b は Pチャネル型 MOSゲート、409a, 409b は Nチャネル型 MOSゲート、410 は電源配線、411 は接地配線、412 は第 1 入力端子配線、413 は第 2 入力端子配線、414 は出力端子配線、415 はコンタクトを示している。

【0062】このレイアウト例においては、電源電位は電源配線 410 からコンタクト 415 を通じて P+ 拡散層 406a, 406c に与えられ、接地電位は接地配線 411 からコンタクト 415 を通じて N+ 拡散層 407

a に与えられる。Pチャネル型 MOSゲート 408a と Nチャネル型 MOSゲート 409a は第 2 入力端子配線 413 で接続され、Pチャネル型 MOSゲート 408b と Nチャネル型 MOSゲート 409b は第 1 入力端子配線 412 で接続され、P+ 拡散層 406b と N+ 拡散層 407c は出力端子配線 414 で接続されている。

【0063】この第 2 の実施例においては、図 2 (a) と比較して、図 4 (a) に示すように Nウェル及び Pウェルコンタクト拡散層が無い分、2 NAND 回路を小さく構成できる。

【0064】また、図 3 (b), (c) に示すように埋込み酸化膜 317 が存在するため、第 1 の実施例よりもゲート容量の低減が可能である。例えば、埋込み酸化膜 317 の厚さを 4000 Å として、図 5 の構造でゲートの時定数を計算すると、図 6 において本発明の第 1 の実施例のデータ 602 よりも約 15% 小さくなる。

【0065】したがって、この第 2 の実施例のように、SIMOX 基板等の SOI 基板に本発明を適用した方が特性改善の効果は大きいといえる。

【0066】以上述べたように本発明によれば、内部基本セルを構成する MOS トランジスタのゲート幅を縮小し、ゲート電極の形状をソースまたはドレイン拡散層周囲を囲む環状にすることにより、ゲートシリサイド及びシリサイドプロセス無しに、ゲート抵抗が回路の動作速度に及ぼす影響を抑えることができる。尚、ゲートシリサイドまたはシリサイドプロセスを省略することにより、製造工程上は 12~18 工程の短縮が可能である。

【0067】尚、本発明は上述した実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲で種々変形しても同様に実施可能であることはいうまでもない。

【0068】

【発明の効果】以上述べたように本発明によれば、微細化に伴うゲート抵抗増加が招く回路動作速度の劣化を抑えることのできる半導体集積回路を提供することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例の基本セルアレイのレイアウト図で、(a) は基本セルアレイ平面図、(b) は基本セル Pチャネル型 MOS トランジスタ部内断面図、(c) は基本セル Nチャネル型 MOS トランジスタ部内断面図である。

【図 2】本発明の一実施例における 2 入力 NAND 回路の配線レイアウト図で、(a) は配線レイアウト図、(b) は等価回路図である。

【図 3】本発明の第 2 の実施例の基本セルアレイのレイアウト図で、(a) は基本セルアレイ平面図、(b) は基本セル Pチャネル型 MOS トランジスタ部内断面図、(c) は基本セル Nチャネル型 MOS トランジスタ部内断面図である。

【図 4】本発明の第 2 の実施例における 2 入力 NAND

回路の配線レイアウト図で、(a)は配線レイアウト図、(b)は等価回路図である。

【図5】本発明のMOSゲート抵抗及び容量説明図で、(a)はPチャネルMOSゲート部分拡大図、(b)はゲート抵抗等価回路図、(c)はゲート容量説明図である。

【図6】ゲートの時定数( $\tau_g$ )のゲート幅(W)依存性を説明するための図である。

【図7】従来の基本セルレイアウト(公知例1)を示す図である。

【図8】従来の基本セルにおける2入力NANDの配線レイアウト図で、(a)は配線レイアウト図、(b)は等価回路図、(c)はゲート抵抗を考慮した等価回路図である。

【図9】従来の基本セルレイアウト(公知例2)を示す図である。

【符号の説明】

101, 201, 301, 401…Pチャネル型MOSトランジスタ群

102, 202, 302, 402…Nチャネル型MOSトランジスタ群

103, 203, 303, 403…基本セル

104, 204, 804…Nウェルコンタクト拡散層

105, 205, 805…Pウェルコンタクト拡散層

106a~106c, 206a~206c, 306a~306c, 406a~406c, 506a, 506b, 806b, 806c…P+拡散層

107a~107c, 207a~207c, 307a~307c, 407a~407c, 807a~807c…N+拡散層

\*108a, 108b, 208a, 208b, 308a, 308b, 408a, 408b, 508, 808a, 808b…Pチャネル型MOSゲート

109a, 109b, 209a, 209b, 309a, 309b, 409a, 409b, 809a, 809b…Nチャネル型MOSゲート

110, 310, 510…P型基板(P-sub)

111, 311, 511…Nウェル層(N-well)

112, 312…Pウェル層(P-well)

116, 316, 516…分離酸化膜

311…N<sup>-</sup>層

312…P<sup>-</sup>層

317…埋込み酸化膜

210, 410, 810…電源配線

211, 411, 811…接地配線

212, 412, 812…入力端子1

213, 413, 813…入力端子2

214, 414, 814…出力端子

215, 415, 815…コンタクト

512…ゲート長(L)

513…ゲート幅(W)

517…ゲートコンタクト部幅

518…ゲート電極長

519…チャネル部ゲート抵抗

520…ゲートコンタクト部抵抗

521…チャネル部ゲート容量

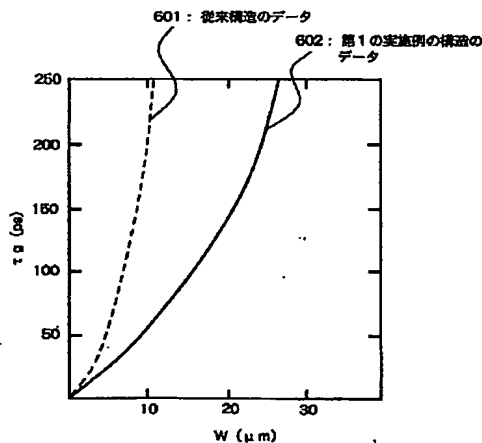
522…ゲートコンタクト部容量

601…従来構造のゲート時定数データ

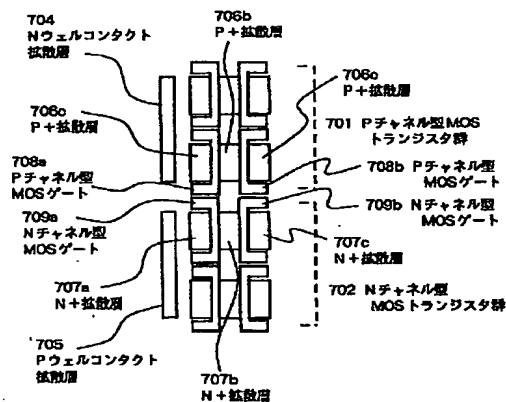
602…第1の実施例の構造のゲート時定数データ

\*30 816…等価ゲート抵抗

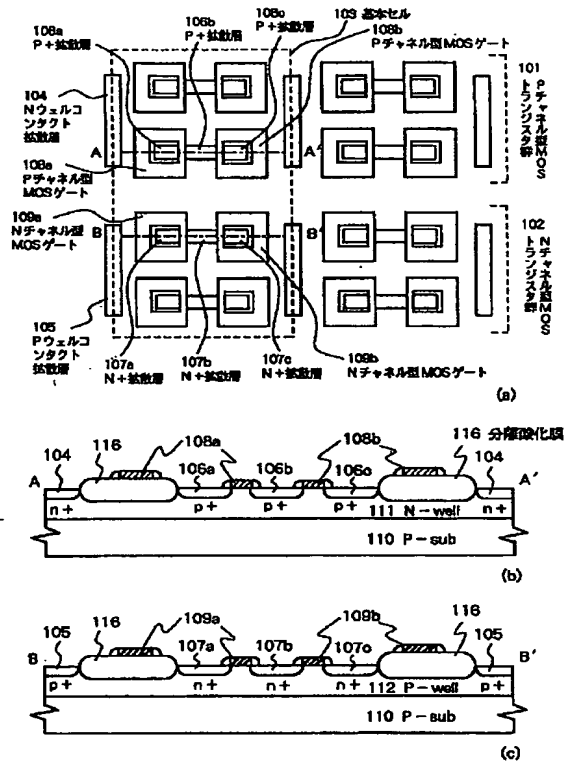
【図6】



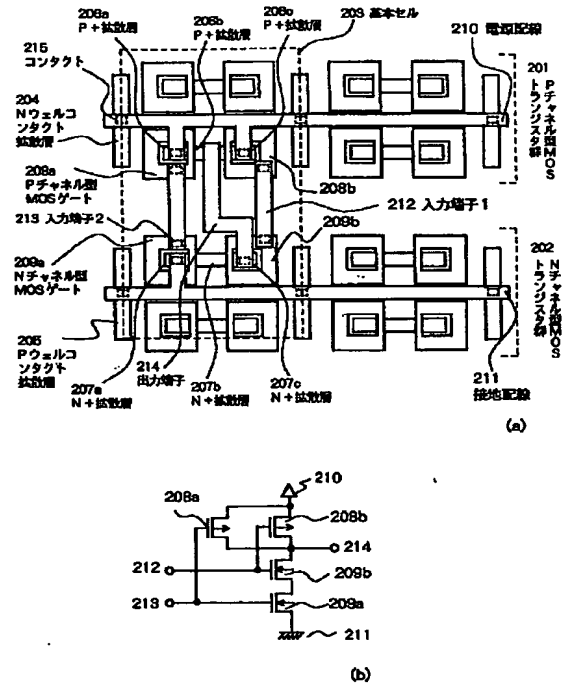
【図7】



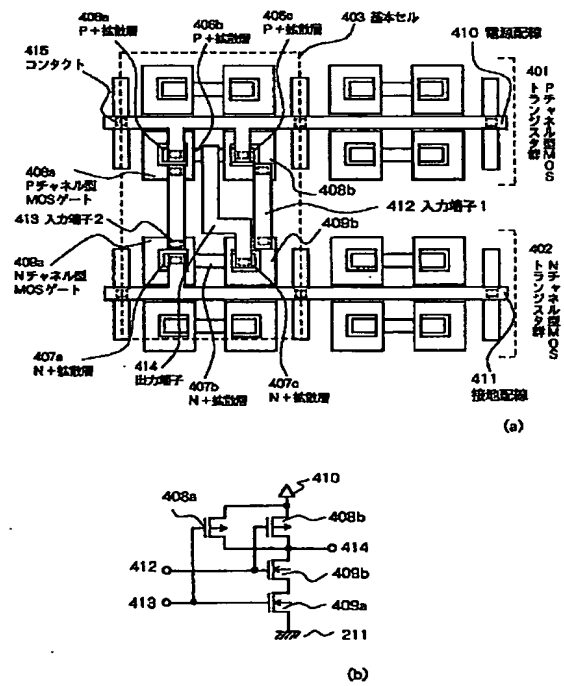
【図1】



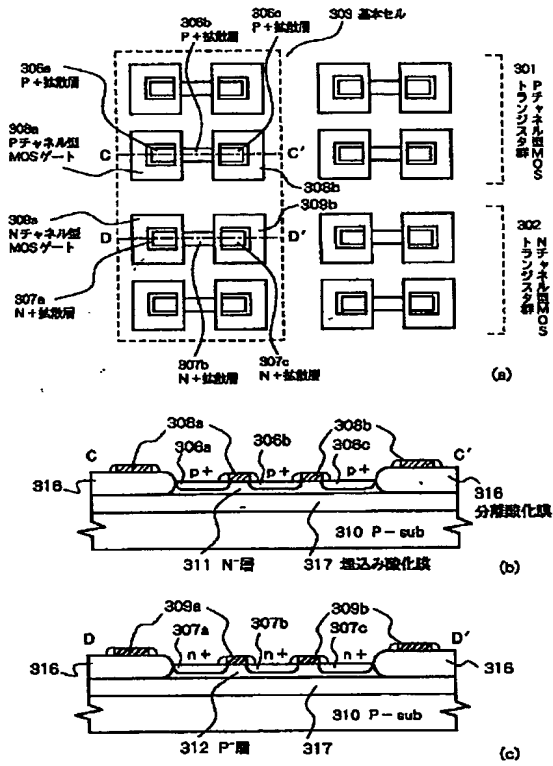
【図2】



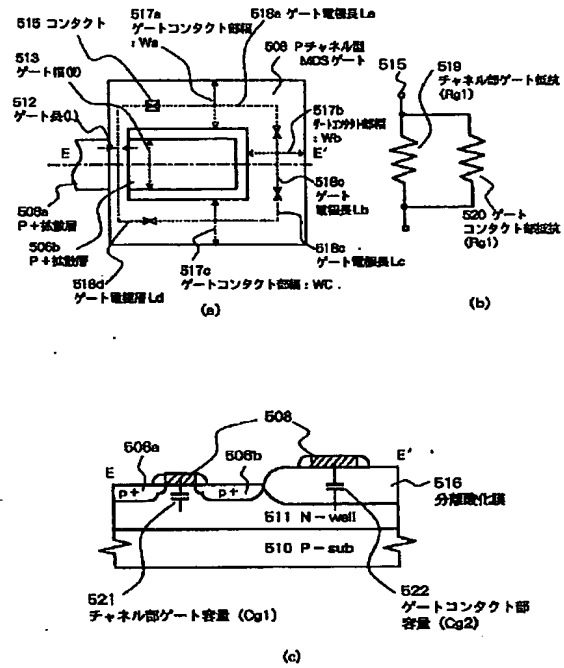
【図4】



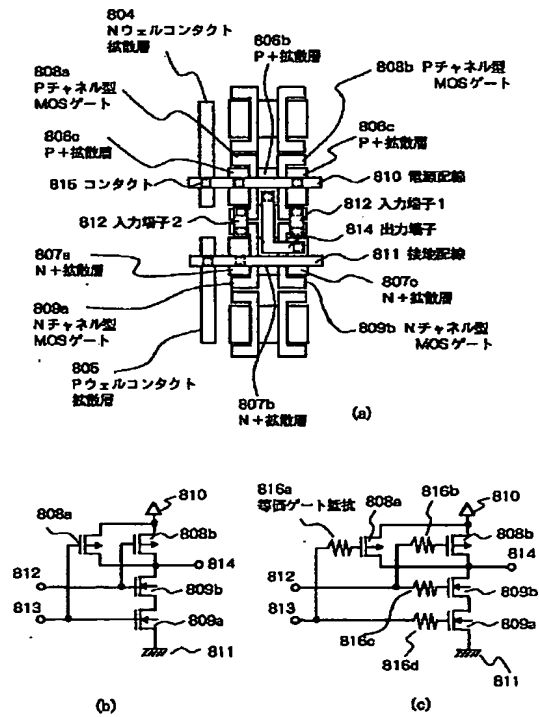
【図3】



【図5】



【図8】



【図9】

